Installation ManualInstallation Manual

UNI92K-4DMUNI92K-4DMW

|  |
| --- |
| ***UNI53K – DPB UART Real-time Interface*** |
| ***Software Architecture*** |
| Rev. 0.00 |



Copyright ©UNITEST Corporation

**Table of Contents**

[1. Introduction 3](#_Toc48731896)

[1.1. Purpose 3](#_Toc48731897)

[1.2. Definitions, Acronyms, and Abbreviations 3](#_Toc48731898)

[1.3. Reference 3](#_Toc48731899)

[1.4. Overview 3](#_Toc48731900)

[2. Architecture 4](#_Toc48731901)

[2.1. Overall 4](#_Toc48731902)

[2.2. OCP UART to Ethernet Processor 5](#_Toc48731903)

[2.2.1. Block Diagram 5](#_Toc48731904)

[2.2.2. Timing Diagram 5](#_Toc48731905)

[2.3. Host UART Log Processor 6](#_Toc48731906)

[2.3.1. Block Diagram 6](#_Toc48731907)

[2.3.2. Timing Diagram 7](#_Toc48731908)

[3. Supporting Information 8](#_Toc48731909)

[3.1. Revision History 8](#_Toc48731910)

# Introduction

본 문서는 UNI53K DPB UART Real-time Interface 기능의 구조를 설명하는 SWA(Software Architecture)이다.

## Purpose

DPB UART Real-time Interface에 대한 내용을 Block diagram 및 Timing diagram으로 표현한다. 문서의 사용자는 UNITEST UNI53K 개발자(SW, FW, HW, TE)를 대상으로 작성되며, SW 개발팀은 본 SWA에 따라 기능 설계 및 구현을 한다.

## Definitions, Acronyms, and Abbreviations

DPB : Device Protocol Board

PGB : Pattern Generation Board

OCP : On Chip PC

UART : Universal Asynchronous Receiver/Transmitter

URI : DPB Uart Real-time Interface

UEP : OCP Uart to Ethernet Processor

ULP : host Uart Log Processor

## Reference

* UNI53K\_P1-100\_SRS\_DPB UART REALTIME INTERFACE.docx

## Overview

본 문서는 다음과 같이 구성되었다.

2장에서는 URI의 전체적인 Architecture와 그것이 세부적으로 어떻게 구성되어 있는지 살펴 본다.

# Architecture

## Overall

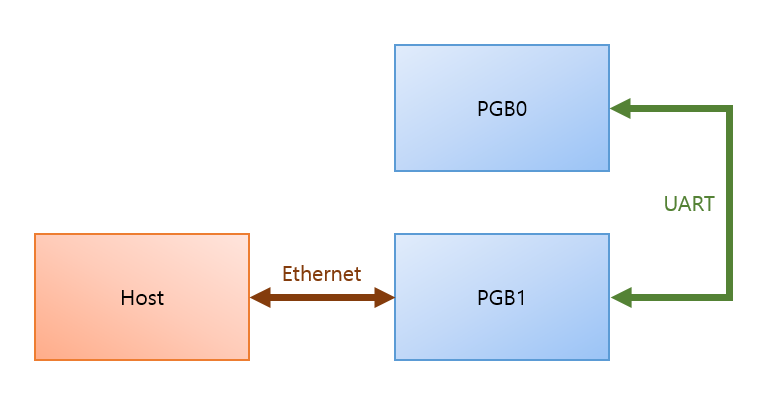


Figure 1

PGB 2개를 한 쌍으로 하여, UART0, 1을 서로 간 Cross로 연결함으로써 DPB UART Real-time   
interface(이하 URI)를 구축한다. Host에서는 Ethernet을 통해 PGB에 접속하고, 접속한 PGB와 쌍을 이루는 반대편 PGB에는 URI를 통하여 접속한다.

이를 구현하기 위해서는 URI를 구축할 OCP UART to Ethernet Processor(이하 UEP)와 Host에서 PGB에 접속해 URI를 사용할 Host UART Log Processor(이하 ULP)가 필요하다.

## OCP UART to Ethernet Processor

### Block Diagram

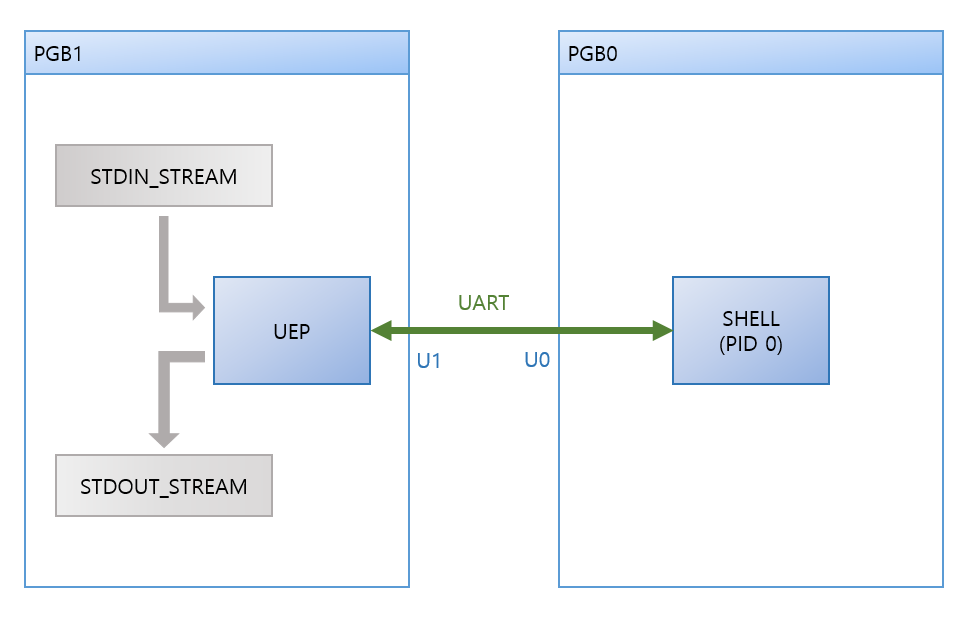
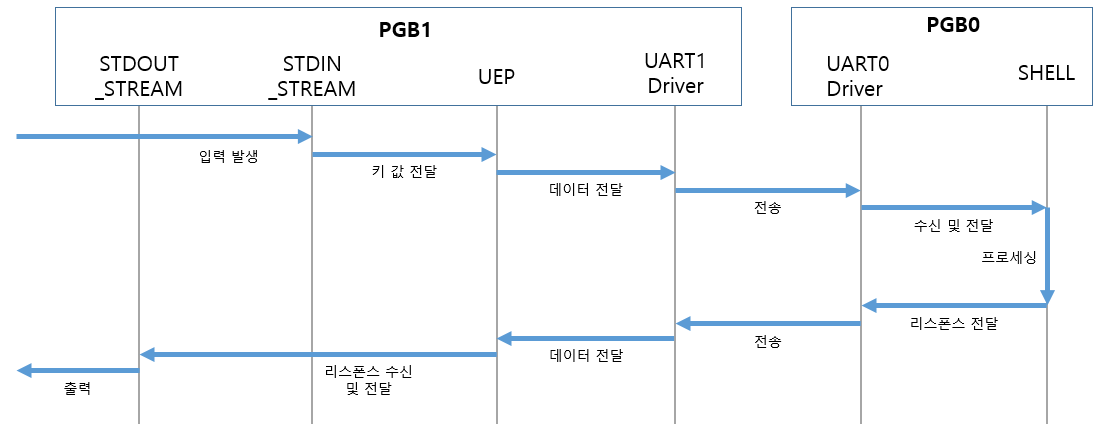


Figure 2

커널의 쉘은 Console terminal default port가 UART0이다. 그래서 UEP는 상대쪽 UART0과 연결된 자신의 UART1에 접근하여 통신I/O를 수행한다.

### Timing Diagram



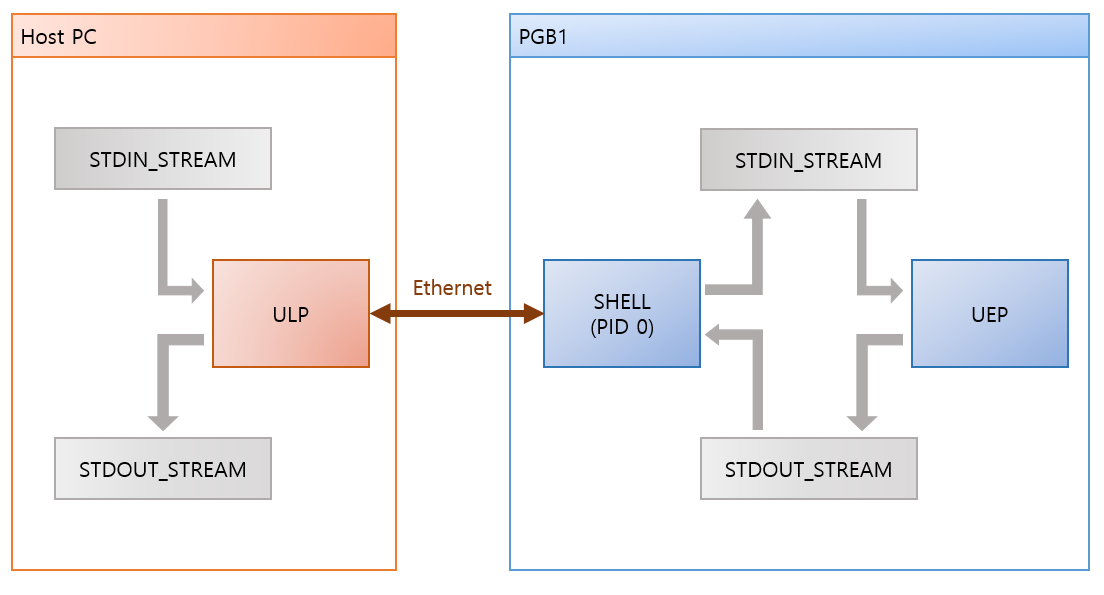
Figure

PGB1에서 발생한 입력부터 PGB0를 거쳐 다시 PGB1의 출력에 이르기까지의 타이밍이다. 이 때, STDIN Stream으로의 입력은 PGB1의 키보드(Standard input)에서 발생한 것일 수도 있고, 원격에서 접속한 곳에서 발생한 것일 수도 있다.

STDOUT Stream으로부터의 출력은 PGB1의 모니터(Standard output)으로 향할 수도 있고, 원격으로 접속한 곳으로 향할 수도 있다.

## Host UART Log Processor

### Block Diagram

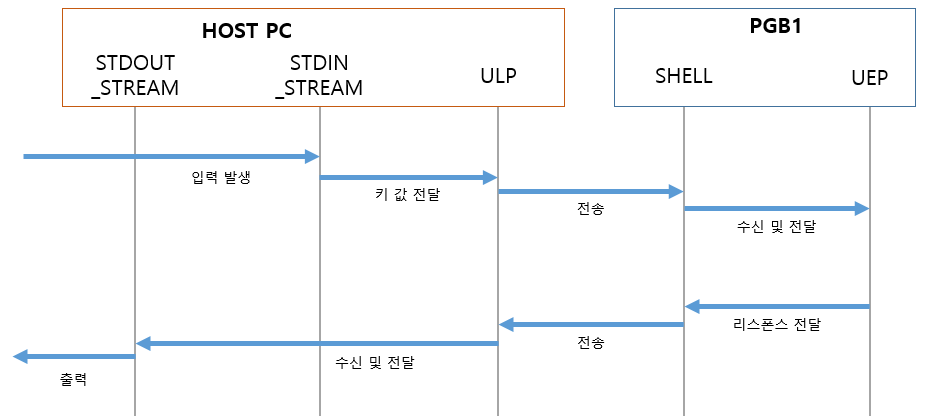


Figure

ULP에서 Ethernet을 통해 PGB1에 접속하면 Shell에 접속하게 되고, 이 때, Shell은 ULP로부터의 입력을 자신의 STDIN\_STREAM으로 전달하고, 자신의 STDOUT\_STREAM으로부터의 출력을 ULP에게 전달한다.

ULP에서 PGB1에 접속하여 UEP를 실행하면, 마치 Host에서 UEP를 실행한 것처럼 사용할 수 있다.

### Timing Diagram



Figure

Host PC에서 발생한 입력부터 PGB1을 거쳐 다시 Host PC의 출력에 이르기까지의   
Timing diagram이다. UEP가 ULP로부터 받은 입력을 처리하여 리스폰스를 주는 과정은   
Figure 3에서 확인할 수 있다.

# Supporting Information

## Revision History

|  |  |  |  |
| --- | --- | --- | --- |
| 날짜 | 버전 | 설명 | 작성자 |
| 2020.08.13 | 0.00 | 초안 | 최준근 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |
| --- |
| **UniTest Inc.**  27, Gigok-ro, Giheung-gu, Yongin-si, Gyeonggi-do, Korea  Zip Code: 446-930  Tel : 82-31-547-0300  Fax : 82-31-547-0468 |